

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-232503
 (43)Date of publication of application : 05.09.1997

(51)Int.Cl. H01L 25/00
 H01L 25/065
 H01L 25/07
 H01L 25/18

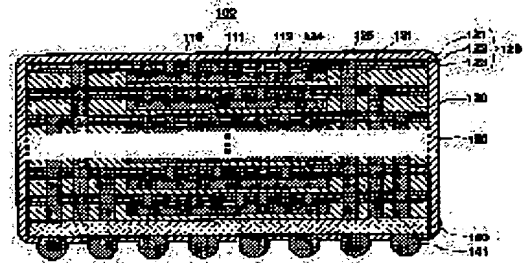
(21)Application number : 08-033320 (71)Applicant : HITACHI LTD
 (22)Date of filing : 21.02.1996 (72)Inventor : KATO TAKESHI
 TOKUDA MASAhide
 ITOU HIROYUKI
 ITABASHI TAKESHI
 YOSHIMURA TOYOFUSA
 TAKAHASHI AKIO
 YAMAMOTO MASAKAZU

(54) THREE-DIMENSIONAL LAMINATE MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a small, thin, multi-pin low cost three-dimensional laminated module by the interlayer connection at high density.

SOLUTION: Chips 110 are connected to thin interconnection films 120, these films and thin adhesive films 130 are alternately laminated to directly connect via holes 125 formed through the films 120 to vias 131 formed through the films 130 whereby the via holes can be made fine and at small pitches and hence the interlayer connection can be made at high density to reduce the module mounting area. Since the number of parts of the module structure is small and lamination process is simple and superior in mass productivity, the cost can be reduced.



LEGAL STATUS

[Date of request for examination] 29.01.2003
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3610661
 [Date of registration] 29.10.2004
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-232503

(43) 公開日 平成9年(1997)9月5日

(51) Int. Cl. ⁶

H01L 25/00

25/065

25/07

25/18

識別記号

F I

H01L 25/00

25/08

A

Z

審査請求 未請求 請求項の数 8 O L (全15頁)

(21) 出願番号 特願平8-33320

(22) 出願日 平成8年(1996)2月21日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 加藤 猛

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 徳田 正秀

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 以頭 博之

東京都千代田区神田駿河台四丁目6番地

株式会社日立製作所情報事業本部内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

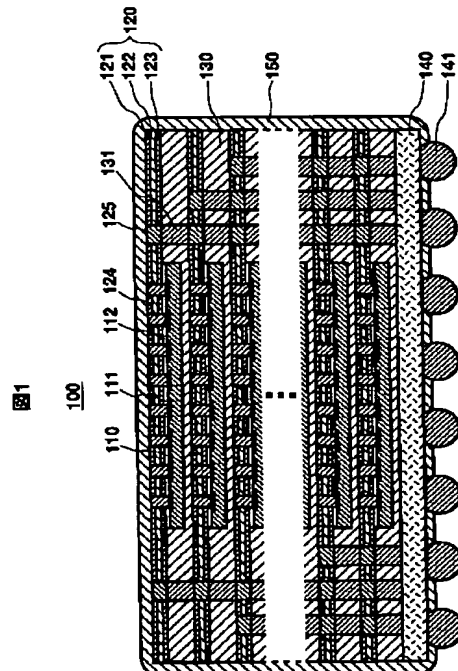
(54) 【発明の名称】 三次元積層モジュール

(57) 【要約】

【課題】本発明の課題は、高密度の層間接続を行なって小型、薄型、多ピン、低コストの三次元積層モジュールを提供することである。

【解決手段】チップ(110)が接続された薄い配線フィルム(120)と薄い接着フィルム(130)を交互に積層し、配線フィルム(120)に形成されたバイアホール(125)と接着フィルム(130)に形成されたバイアホール(131)を直接接続する。

【効果】バイアホールを微細化、狭ピッチ化できるので、層間接続が高密度化され、モジュール実装面積を低減できる。モジュール構造の部品点数が少なく、積層プロセスは簡便且つ量産性に優れているので、コストを削減できる。



Best Available Copy

【特許請求の範囲】

【請求項 1】三次元的に積層され、入出力パッドを備える複数の半導体チップと、
該半導体チップと対を成して積層され、前記入出力パッドへ相互接続される配線及び第 1 のバイア／スルーホールを備える複数の配線フィルムと、
該配線フィルムの間を埋めて積層され、前記第 1 のバイア／スルーホールへ直接接続される第 2 のバイア／スルーホールを備える複数の接着フィルムと、
を有することを特徴とする三次元積層モジュール。

【請求項 2】前記配線フィルムの絶縁材料は、エポキシ、ポリイミドまたはアラミドから成り、
前記接着フィルムの接着材料は、エポキシまたはポリイミドから成り、
前記配線、第 1 のバイア／スルーホール及び第 2 のバイア／スルーホールの導体材料は、銅から成る、
請求項 1 記載の三次元積層モジュール。

【請求項 3】前記第 1 のバイア／スルーホールまたは前記第 2 のバイア／スルーホールは、導電性ペーストまたは異方導電性ポリマから成る、
請求項 1 記載の三次元積層モジュール。

【請求項 4】前記第 1 のバイア／スルーホール及び第 2 のバイア／スルーホールは、それぞれ導体によって埋め込まれたフィルドバイア／スルーホール構造を有し、交互に積み重なる、
請求項 1 記載の三次元積層モジュール。

【請求項 5】三次元的に積層され、入出力パッドを備える複数の半導体チップと、
該半導体チップと対を成して積層され、該半導体チップがフリップチップダイアタッチにより接着され、前記入出力パッドへ直接接続されるダイレクトバイア／スルーホールとこれへ相互接続される配線及び第 1 のバイア／スルーホールとを備える複数の配線フィルムと、
該配線フィルムの間を埋めて積層され、前記第 1 のバイア／スルーホールへ直接接続される第 2 のバイア／スルーホールを備える複数の接着フィルムと、
を有することを特徴とする三次元積層モジュール。

【請求項 6】三次元的に積層され、入出力パッドを備える複数の半導体チップと、
該半導体チップと対を成して積層され、該半導体チップがバンプまたは異方導電性ポリマによりフリップチップ接続され、該バンプまたは異方導電性ポリマを介して前記入出力パッドへ相互接続される配線及び第 1 のバイア／スルーホールとを備える複数の配線フィルムと、
該配線フィルムの間を埋めて積層され、前記第 1 のバイア／スルーホールへ直接接続される第 2 のバイア／スルーホールを備える複数の接着フィルムと、
を有することを特徴とする三次元積層モジュール。

【請求項 7】三次元的に積層され、入出力パッドを備える複数の半導体チップと、

該半導体チップと対を成して積層され、前記入出力パッドへTAB接続されるインナリードと、これへ相互接続される配線及び第 1 のバイア／スルーホールとを備える複数の配線フィルムと、

該配線フィルムの間を埋めて積層され、前記第 1 のバイア／スルーホールへ直接接続される第 2 のバイア／スルーホールを備える複数の接着フィルムと、
を有することを特徴とする三次元積層モジュール。

10 【請求項 8】三次元的に積層され、入出力パッドを備える複数の半導体チップと、

該半導体チップと対を成して積層され、前記入出力パッドへ相互接続される第 1 の配線及び第 1 のバイア／スルーホールを備える複数の配線フィルムと、
最外層に積層され、外部端子とこれへ相互接続される第 2 の配線及び第 2 のバイア／スルーホールとを備える配線基板と、

20 前記配線フィルム同士または前記配線基板との間を埋めて積層され、前記第 1 のバイア／スルーホールまたは前記第 2 のバイア／スルーホールへ直接接続される第 3 のバイア／スルーホールを備える複数の接着フィルムと、
を有することを特徴とする三次元積層モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体チップを三次元的に積層したモジュールに係り、特に多ピン且つ小型化に好適な実装構造を有する三次元積層モジュールに関する。

【0002】

【従来の技術】従来の三次元積層モジュールは、各層の半導体チップ間の層間接続方式により三種類に大別される。代表的な公知例として、例えば文献 1 (Proceedings of the 45th Electronic Components & Technology Conference, 1995, pp. 656-663)、文献 2 (同誌, pp. 1174-1178)、及び文献 3 (Proceedings of the IEEE Multi-chip Module Conference, 1994, pp. 68-73) に記載がある。

30 【0003】文献 1 の三次元積層モジュールは、モールド部分の側面に形成しためっき配線によって層間接続を行なうため、側面めっき配線型として分類される。図 7 にその断面構造図を示す。モジュール 910 の各層を構成するユニットは、半導体チップ 911 を搭載したテープキャリア 913 から成る。実装プロセスでは、まず、チップ 911 をテープキャリア 913 へダイボンディングして、ワイヤ 912 を接続する。次に、このキャリア 913 を積み重ねて全体をモールドし、樹脂 914 (エポキシ等) によりキューブ形状に固める。その後、キューブ側面の樹脂部分を切断してワイヤ 912 の断面を露

出させてから、側面全面にめっきを施し、レーザ切断により層間接続用の配線パターン 9 1 5 を加工する。最後に、キューブ底面にリードフレーム 9 1 6 を取り付け

【0004】文献 2 のモジュールは、積層チップの側面に形成した薄膜配線により層間接続を行っており、側面薄膜配線型として分類される。図 8 の断面構造図に示すように、モジュール 9 2 0 ではチップ 9 2 1 を垂直に立てて配線基板 9 2 7 へ接続する。実装プロセスでは、

まず、チップ 9 2 1 の入出力パッドからエッジに至る（図 8 の下方向に向かう）薄膜配線 9 2 2 をチップ 9 2 1 の表面に形成する。これらのチップ 9 2 1 を接着剤 9 2 3 により互いに貼り合わせて積層し、キューブ形状にする。この後、キューブの側面に層間接続用の薄膜配線 9 2 4 と、セラミック基板 9 2 7 へ接続するための半田バンプ 9 2 5 を形成する。半田バンプ 9 2 5 と基板 9 2 7 を介して、チップ 9 2 1 とピングリッドアレイ（Pin Grid Array: PGA）9 2 8 が相互接続される。キューブと基板 9 2 7 の間隙には、バンプ 9 2 5 の熱疲労を防止するためにエンカプスラント 9 2 6 を充填する。

【0005】文献 3 のモジュールは、各層の間に挟んだ額縁基板のスルーホールにより層間接続を行なうので、額縁基板接続型として分類される。図 9 に断面構造図を示す。モジュール 9 3 0 の層構成ユニットは、2 個のチップ 9 3 1 が TAB（Tape Automated Bonding）9 3 2 により両面実装されたインタポーザ配線基板 9 3 3 から成る。実装プロセスは、まず、各々のチップ 9 3 1 に TAB テープ 9 3 2 のインナリードをボンディングし、テープキャリアの状態にする。この 2 枚のテープキャリアのアウトリードをインタポーザ基板（ポリイミドフィルム）9 3 3 へボンディングする。次に、このインタポーザ基板 9 3 3 をスティフナと呼ばれる額縁基板 9 3 4 と交互に重ね合わせて半田により接合する。層間接続とボールグリッドアレイ（Ball Grid Array: BGA）9 3 5 への接続は、額縁基板 9 3 4 内部のスルーホールを介して行なわれる。

【0006】

【発明が解決しようとする課題】昨今、ハイエンドプロセッサから携帯機器に至るまでシステムの高性能化とダウンサイジングが急速に進んでいる。これに伴って、半導体チップの実装には高密度化と多ピン化、さらに低コスト化が強く求められている。実装密度の向上は、チップ間の伝播ディレイの短縮や、装置の軽量小型化を実現するために不可欠である。信号／電源ピン数の増加は、データ転送の高スループット化や、高速動作時の電源ノイズの低減にとって必要である。コストの低減には、より簡便な実装構造とプロセスを指向しなくてはならない。

【0007】高密度実装への取組みとしては、従来からパッケージの小型化が精力的に行なわれて来た。最近では、チップサイズパッケージや、パッケージの無い究極のベアチップ実装も検討されている。但し、これらの取組みは複数のパッケージやチップを平面的（二次元的）に並べて実装することを前提としており、チップの合計面積よりも実装面積を削減することは原理的に不可能である。すなわち、平面実装方式は高密度化に限界がある。

【0008】三次元積層方式は、従来のパッケージ実装やベアチップ実装よりさらに高密度化を図るために提案された実装方式であり、最近学会で注目されている。上述した三種類のモジュール（側面めっき配線型、側面薄膜配線型、額縁基板接続型）はその代表例である。チップを三次元的に積み重ねることにより、平面実装方式に比べて実装面積を格段に削減できることは自明である。チップ間すなわち層間の配線長はきわめて短くなり、伝播ディレイを短縮できる。したがって、三次元積層方式の実用化にとって今後の重要な課題は、平面実装方式に比べて小さい面積から多数のピンをいかに取り出すか、また、単体チップのパッケージに比べて複雑な積層構造をいかに簡便に低コストで実現するかである。以下、これらの観点にたつて、従来の三種類の積層モジュールを検証する。

【0009】第 1 番目の側面めっき配線型では、積層したチップをキューブ形状にモールドし、キューブの側面にめっきを施し、レーザ加工によりパターニングする。めっき配線はリードフレームから成る I/O ピンに接続される。この実装方式では、キューブのフットプリントは個々のチップの面積より一回り大きく、1～2 cm 角になる。チップから側面への引き出しがワイヤであること、めっきが多層化できないことと、配線のパターニングがキューブの寸法精度やレーザの加工精度に依存することなどを考慮すると、配線とリードのピッチは 1 mm 程度であり、モジュールの四辺から取り出せるピン数は高々 40～60 ピンである。また、側面へのパターニングでは、個々のキューブの向きをプロセス中に幾度か変える必要がある。これはプレーナなプロセスではないため、現行の低コストパッケージではごく一般的なリールトゥーリールのような量産ラインには組み込みにくい。コストの上昇を招く懸念がある。

【0010】第 2 番目の側面薄膜配線型では、薄膜配線を形成したチップを貼り合わせて積層し、キューブの側面に薄膜配線とバンプを形成し、チップを垂直に立ててバンプをベース配線基板に接続する。この方式では、キューブの体積は他の二種類のモジュールに比べて最も小さくなるが、モジュールの実装面積はベース基板の面積に等しい。基板面積は通常 2.54 mm ピッチの PGA のピン数に依存しており、100 ピンならば約 3 cm 角、ピン数を増せばさらに大きくなってしまふ。平面実

装方式に比べると確かに実装面積が削減されるが、その効果は薄れてくる。モジュールの高さは、チップを垂直に実装するため薄型化できず、約 1 cm になる。これは、携帯機器などへの適用にとって障壁になる。また、チップ及びキューブ側面への薄膜配線プロセスは、厚膜やラミネート等と比べて非常にコストがかかる。これは周知の事実である。その上、側面めっき配線型と同様に、側面へのプロセスは量産に向いていない。したがって、側面薄膜配線型モジュールは比較的大規模なシステムへの適用は可能であるが、汎用品としては不適であると言わざるを得ない。

【0011】第3番目の額縁基板接続型では、チップをインタポーザ基板へTABテープにより接続し、積層したインタポーザ基板同士を額縁基板のスルーホールにより接続する。この方式の実装には、チップの面積に加えて、TABテープのアウトリード部の面積と額縁基板の面積が余分に必要になる。また、額縁基板の厚さが1mm弱あるためにスルーホールのピッチは約1mm必要であり、200ピンならば約3cm角にまで広がってしまう。モジュールの高さに関しては、インタポーザや額縁基板の厚さを考慮すると2チップ分で約1mm必要であり、チップ数が増えると薄型とは言えなくなる。TABリードや額縁基板の接続は、側面めっき配線型や側面薄膜配線型とは異なり、面の向きを変える必要がないプレーナなプロセスであるから、流れ作業に適している。しかし、TABテープ、インタポーザ、額縁基板等の部品点数が他方式に比べて多いため、部品コストがかさむというデメリットがある。

【0012】以上述べたように、従来から提案されている三種類の三次元積層モジュールは、サイズ（面積、高さ）、ピン数、コスト（部品、組立）に対して一長一短がある。簡単にまとめると、側面めっき配線型は多ピン化と量産性、側面薄膜配線型は薄型化とプロセスコスト、額縁基板接続型は小面積化と部品コストに難点がある。これらの特性は主に層間接続方式に起因しており、これが実装上の鍵を握っていると言ってよい。そこで、本発明では特に層間接続方式に着目することにした。

【0013】本発明は以下の(1)～(8)を目的とする。

【0014】(1) 高密度且つ簡便な層間接続構造を新たに導入することにより、小型、多ピン、低コストという長所を兼ね備えた実装構造を有する三次元積層モジュールを提供する。

【0015】(2) 上記モジュール実装構造において、チップから層間接続部に至る相互接続に適合した配線材料と絶縁材料を提供する。

【0016】(3) 上記モジュール実装構造において、高密度または簡便に形成できる層間接続部の構成材料を提供する。

【0017】(4) 上記モジュール実装構造において、

より微細化且つ狭ピッチ化が可能な層間接続構造を提供する。

【0018】(5) 新しい層間接続構造に類したチップ接続構造により、チップと層間接続部を高密度且つ簡便に相互接続する。

【0019】(6) チップ接続構造に従来技術を巧みに取り入れることにより、チップと層間接続部を簡便に相互接続する。

【0020】(7) チップ接続構造に他の従来技術を巧みに取り入れることにより、チップと層間接続部を簡便に相互接続する。

【0021】(8) 層間接続部に対してより多くの外部端子を相互接続できる積層構造を提供する。

【0022】

【課題を解決するための手段】本発明による三次元積層モジュールは、上記(1)～(8)の目的を達成するため、それぞれ以下の(1)～(8)の構成にする。

【0023】(1) 半導体チップを搭載した配線フィルムを層構成ユニットとして、このユニットを接着フィルムを間に挟んで積み重ねた実装構造から成る。層間接続は、配線フィルムに形成された第1のバイア／スルーホール（バイアホールまたはスルーホール）と、接着フィルムに形成された第2のバイア／スルーホールとを直接接続することによって行なう。配線／接着フィルムやその内部のバイア／スルーホールは、プリント配線基板やフレキシブル配線基板等と同様の安価な生産設備を使って、めっき、印刷等の簡便なプロセスにより製作される。実装プロセスでは、まず、チップを配線フィルムにボンディングする。この後、配線フィルムと接着フィルムを交互に積層し、プレスして接着硬化させ、同時に両者のバイア／スルーホールを接続する。モジュール実装面積は、主にチップ領域とバイア／スルーホール領域の合計面積で決まる。後者の面積は層間接続及びI/Oピンの数に依存する。I/Oピンは、バイア／スルーホール領域とチップ領域の下面からBGA、PGA、LGA（Land Grid Array）等の形態で取り出される。例えば、バイア／スルーホールの配列ピッチを200～300μm、BGAのピッチを約1mmとすると、約2cm角の小さな実装面積から数100ピン取り出すことができる。なお、本発明による実装方式を従来の三種類の方式（側面めっき配線型、側面薄膜配線型、額縁基板接続型）と区別するため、以後、フィルム接続型と呼ぶことにする。

【0024】フィルム接続型と側面めっき配線型を比べると、フィルム接続型の実装面積は、キューブをチップの近辺で切り出す側面めっき配線型に比べて若干大きくなる場合がある。しかし、配線フィルムは多層化が可能であり、100μmピッチ以下の微細な配線パターンとバイア／スルーホールを形成できることから、単層で約1mmピッチのめっき配線に比べて、層間接続の数を大

幅に増やせる利点がある。また、フィルム接続型の I / O ピンはモジュール底面からアレイで取り出せるので、モジュールの四辺からしかリードを取り出せない側面めっき配線型に比べて多ピン化できる。また、フィルム接続型の実装プロセスはプレーナな流れ作業に適しており、パイア / スルーホールはプロセス以前に予め配線 / 接着フィルムに作り込めるので、積層した後でキューブの向きを変えて側面に配線を形成する側面めっき配線型に比べて、コストが低減できる。

【 0 0 2 5 】フィルム接続型と側面薄膜配線型を比べると、I / O ピン数が同じであれば、約 1 mm ピッチの BGA を用いたフィルム接続型の方が、2. 5 4 mm ピッチの PGA を用いた側面薄膜配線型に比べて実装面積が小さくなる。また、フィルム接続型は薄い配線 / 接着フィルムを（場合によっては薄く研磨したチップを）積層するので、チップを垂直に立てて実装する側面薄膜配線型に比べて、モジュールを薄型化できる。実装プロセスに関しては、フィルム接続型では高価且つ困難な側面の薄膜配線を形成する必要がなく、予め製作しておいた配線フィルムを重ねて接着するという簡単な作業で済むため、プロセスコストを低減できる。

【 0 0 2 6 】フィルム接続型と額縁基板接続型を比べると、フィルム接続型では、額縁基板接続型のような TAB のアウトリードに対する余分な面積が不要である。その上、フィルム接続型のパイア / スルーホール領域の面積の方が額縁基板のスルーホール領域より小さくなる。これは、1 mm 程度の厚い額縁基板に形成されるスルーホールの配列ピッチは厚さと同程度まで広げられる必要があるが、数 1 0 μ m ~ 1 0 0 μ m 程度の薄い配線 / 接着フィルム各々に形成されるパイア / スルーホールの配列ピッチは数 1 0 0 μ m 以下に狭められるからである。したがって、フィルム接続型の方が額縁基板接続型より実装面積を削減できる。フィルム接続型の I / O ピンはチップ領域とパイア / スルーホール領域の下面から取り出せるので、スルーホール領域からしかピンを取り出していない額縁基板接続型に比べてピン数を稼げる。また、フィルム接続型の部品点数は、額縁基板接続型の TAB テープや額縁基板の分だけ少なくなるので、部品コストを低減できる利点がある。

【 0 0 2 7 】〈 2 〉配線フィルムの絶縁材料としてエポキシ、ポリイミドまたはアラミドを用い、接着フィルムの接着材料としてエポキシまたはポリイミドを用い、配線とパイア / スルーホールの導体材料として銅を用い、チップから層間接続部に至る相互接続を構成する。

【 0 0 2 8 】エポキシ、ポリイミド、またはアラミドから成る有機材料は薄型フィルムの製作が容易であり、微細な配線パターンを形成でき、レーザやホトリソグラフィ等により小径のパイア / スルーホールを加工できる。このうち、ポリイミドとアラミドは、信号伝送にとって有利な低誘電率を有しており、モジュールの半田付けに

対して優れた耐熱性を示す。さらにアラミドは、熱膨張係数がチップに近く、強度が非常に高い。エポキシやポリイミドから成る接着材料は上記の絶縁材料に対する接着性に優れている。銅は電気抵抗が低いので、配線や層間接続を伝わる信号の減衰や伝播ディレイを抑制できる。

【 0 0 2 9 】〈 3 〉層間接続を行なうパイア / スルーホールを導電性ペーストまたは異方導電性ポリマによって形成する。導電性ペーストはレーザやドリル等によって配線フィルムまたは接着フィルムへ加工された穴に充填され、パイア / スルーホールを構成する。配線フィルムのランドやパッドとのインタースティシャルパイア接続や、各層のフィルム間のスタックパイア接続（カラム接続）が行なえるので、層間接続の小面積化と高密度化が可能になる。導電性ペーストの材料は銅や銀等の金属粉と樹脂から成り、フィルム基材との熱膨張係数が近いので接続信頼性が高い。特に、銅ペーストは極めて低い接続抵抗とマイグレーションに対する優れた耐性を備えている。

【 0 0 3 0 】異方導電性ポリマは金属粒子と有機ポリマから成り、接着フィルムとして配線フィルムの間に供給される。配線フィルムのパイア / スルーホールのランド（凸部）に挟まれた部分では、金属粒子がランド間を橋渡しすることによりパイア / スルーホールとしての導通が得られる。その他の部分では間隔が離れているので、橋渡しが生じずに絶縁が保たれる。異方導電性ポリマは比較的高い接続抵抗を示すが、接着フィルムに穴の加工や導体のパターンニングを行なう必要がなく、配線フィルムとの位置合わせが要らなくなるので、層間接続を簡便に行なえる利点がある。

【 0 0 3 1 】〈 4 〉めっき金属や導電性ペースト等の導体によってパイア / スルーホールを埋め込んだ構造を採用する。これにより、小径でアスペクト比の高いパイア / スルーホールが形成できる上、配線フィルムのパイア / スルーホールと接着フィルムのパイア / スルーホールとを交互に直上に積み重ねることができる。すなわち、スタックパイア接続（カラム接続）が可能になる。埋め込まない構造のように開口を避けてスタッガード状やスパイラル状にパイア / スルーホールを積み重ねる必要がないので、パイア / スルーホールを狭いピッチで配列でき、モジュール実装面積を低減できる。

【 0 0 3 2 】〈 5 〉チップをフリップチップで配線フィルムに接着し（フリップチップダイアタッチ）、チップの入出力パッドに直接形成されたダイレクトパイア / スルーホールによりパッドと配線フィルムの配線を接続する。ダイレクトパイア / スルーホールはチップの四辺に限らず、チップ表面の任意の位置から二次元アレイ状に取り出せるので、多数の入出力を要するチップに適している。また、ダイレクトパイア / スルーホールは、層間接続を行なうパイア / スルーホールと同様に穴開けとめ

つきやペースト充填等のプロセスによって簡便に形成できる。

【0033】ダイレクトバイア／スルーホールによるフリップチップ接続と半田バンプによる一般的なフリップチップ接続を比べると、前者の形成プロセスは、後者の半田バンプの真空蒸着、リフロー、接続、再リフロー等の形成プロセスに比べて、工程数と生産設備の両面でコストが低減できる。ダイレクトバイア／スルーホールの直径は配線フィルムの厚さと同程度まで小さくすることができ、100 μ m以上の径の半田バンプに比べて高密度なチップ接続が可能になる。また、ダイレクトバイア／スルーホールは配線フィルムの内部に在るので、外部に在る半田バンプに比べて積層モジュールを薄型化できる利点もある。

【0034】〈6〉チップをバンプ、ワイアまたは異方導電性ポリマにより配線フィルムへボンディングし、パッドと配線を接続する。層間接続は配線／接着フィルムを貫通するバイア／スルーホールによって行なう。バンプとしては半田バンプの他、金ワイアバンプを用いる。後者は熱圧着または導電性樹脂によりチップまたは配線フィルムに接続される。異方導電性ポリマは接着フィルムとしてチップと配線フィルムの間に供給され、金属粒子の橋渡しによって導通を得る。

【0035】先程、ダイレクトバイア／スルーホールの方がバンプより有利であると述べた。しかし、例えばワイヤボンディング、TAB、バンプ等を想定して製造された既存のチップをそのままフィルム接続型積層構造に流用したい場合、パッドの配置、パッドを構成する金属の組成、パッド周辺のパッシベーション膜の段差等によって、ダイレクトバイア／スルーホールの形成が困難であることが有り得る。したがって、バンプの方が選択肢として優位になる。また、比較的パッド数が少ない場合やパッドがチップの四辺に配置されている場合にはワイアも採用し得る。積層モジュール以外にLSIパッケージやマルチチップモジュールを目的としてバンプやワイアの生産ラインに既に投資を行なっている場合には、これらの方がダイレクトバイア／スルーホールより低コストになることがある。

【0036】異方導電性ポリマは、既に述べたように薄いフィルムとして供給されるので、バンプやワイアに比べてモジュールを薄型化できる。接続プロセスではチップと配線フィルムとのアライメントを行なう必要がない。接続抵抗や信頼性に対する仕様が満足できれば、ダイレクトバイア／スルーホールやバンプによるチップ接続よりも有利になる可能性がある。なお、チップ接続にバンプや異方導電性ポリマを用いても、本発明による層間接続の有意性は損なわれない。

【0037】〈7〉配線フィルム自体に設けたインナリードをチップの入出力パッドへTAB接続する。インナリードは、配線フィルム上の配線と配線／接着フィルム

に設けた層間接続用バイア／スルーホールとを経て、I/Oピンに相互接続される。従来の額縁基板接続型積層構造ではインナリードとアウトリードが形成されたTABテープとインタポーザ基板と層間接続用額縁基板とを併用しており、本発明のフィルム接続型の構成とは明らかに異なっている。

【0038】TAB接続そのものはLSIパッケージ技術として普及している。従来のインナリードとアウトリードが形成されたTABフィルムの代わりに、本発明によるバイア／スルーホールとインナリードが形成された配線フィルムを用いれば、既存の生産ラインを流用でき、低コスト化を図れる。但し、TABではチップの四辺にしか接続を行なえず、リードのインダクタンスが比較的大きいため、多数の入出力を要するチップや動作周波数の高いチップには適していない。この場合には、フィルム接続型積層構造のチップ接続方式としてダイレクトバイア／スルーホールやバンプを採用した方が良い。

【0039】〈8〉チップと配線フィルムから成る層構成ユニットと共に、接着フィルムによって最外層に配線基板を積層する。配線フィルムと配線基板は、ユニット間と同様に接着フィルムに形成されたバイア／スルーホールによって接続される。配線基板はプリント基板またはセラミック基板から成り、その底面にBGA、PGA、LGA等のI/Oピンが接続される。

【0040】配線基板は多層化が可能であり、配線収容量が大きい。最外層に配線フィルムを用いる場合に比べて、本発明の配線基板では、各層のチップとI/Oピンとの間の複雑な信号配線や電源／クロックの分配を容易に行なえる。したがって、I/Oピン数をより増やすことができる。また、配線基板はフィルムに比べて剛性が高く、モジュールの機械的信頼性が向上する。

【0041】プリント基板はセラミック基板より誘電率が低く、部品コストが安い。特に、積層モジュールを大型プリント基板へ実装する場合は、I/Oピンの熱応力に対する信頼性の点で、プリント基板の方がセラミック基板より有利である。セラミック基板は一般的なプリント基板に比べて配線ピッチを狭められるので、さらに高密度な配線と多ピン化が可能になる（ビルドアップ型、インタースティシャルバイアホール型等の高密度プリント基板はセラミック基板と遜色無い）。また、モジュールに大型チップを用いる場合には、熱膨張係数がチップに近いセラミック基板の方が、チップに働く熱応力を低減できる。セラミック基板は耐熱性と耐湿性に優れるので、I/Oピンの半田付け、モジュールのリペア、封止等に対する信頼性が高い。

【0042】

【発明の実施の形態】以下、図面を用いて本発明の実施例を詳細に説明する。

【0043】図1は第1実施例の三次元積層モジュールの全体断面構造図、図2及び図3は部分断面構造図であ

る。図1において、三次元積層モジュール100は、8個の半導体チップ110と、8枚の配線フィルム120と、8枚の接着フィルム130と、1枚の配線基板140から構成されており、エンカプスラント150により封止されている。チップ110と配線フィルム120の対を層構成ユニットとして、8層のユニットと配線基板140が接着フィルム130を間に挟んで三次元的に積層されている。

【0044】層構成ユニットとユニットの間、及びユニットと配線基板140の間の層間接続は、配線フィルム120に形成されたバイアホール125と接着フィルムに形成されたバイアホール131を接続することにより行なわれている。チップ110のパッド111は、ダイレクトバイアホール124と、配線フィルム120の配線と、バイアホール125と131による層間接続と、配線基板140の配線を経て、配線基板140の底面のI/Oピン141に相互接続されている。

【0045】チップ110は集積回路が形成された半導体チップから成る。本第1実施例では×16ビット構成の256Mbit DRAM (Static Random Access Memory) を8個用いたので、モジュール100の総記憶容量は256MByteである。チップサイズは約11×20mm²であり、厚さは研磨加工により50μmにした。チップ110のI/Oパッド111の数はデータ、アドレス、コントロール等の信号と電源とを合わせて約60であり、パッド111の配列間隔の最小値は約100μmである。チップ1個当たりの消費電力は約0.3Wである。チップ110は、回路面を配線フィルム120の方へ向けて、接着材112により配線フィルム120にフリップチップダイアタッチされている。チップ110のI/Oパッド111は、図2に示すようにパッド111に直接形成されたダイレクトバイアホール124によって配線フィルム120に接続されている。

【0046】配線フィルム120は2つの導体層121、123と絶縁層122から成る。本第1実施例では、導体層121、123として厚さ10μmの銅箔、絶縁層122として厚さ25μmのポリイミドフィルムを用いた。導体層121、123には、図2と図3に示すように配線126やランド127等の配線パターンが形成されており、配線ピッチは50μmである。配線フィルム120には、パッド111と配線パターンに接続されるダイレクトバイアホール124と、バイアホール131と配線パターンに接続されるバイアホール125とが形成されている。ダイレクトバイアホール124は図2に示すようにめっき銅によって埋め込まれている。その直径は、パッド111の配列間隔と配線フィルム120の厚さを考慮して約50μmとした。バイアホール125は図3に示すように銅ペーストによって埋め込まれており、直径は80μm、配列ピッチは300μmで

ある。

【0047】接着フィルム130としては、配線フィルム120に対する接着強度が大きいポリイミド接着材から成るフィルムを用いた。厚さは75μmである。接着フィルム130の所定の位置には、バイアホール125や配線基板140に接続されるバイアホール131が形成されている。バイアホール131は図3に示すように銅ペーストによって埋め込まれており、直径と配列ピッチはそれぞれ80μmと300μmである。なお、接着フィルム130の厚さとバイアホール131の直径及びピッチは、チップ110の厚さや配線フィルム120同士の間隔を考慮に入れて決めた。バイアホール125の直径とピッチは、バイアホール131の値に等しく設定した。

【0048】配線基板140は、4層で厚さ約0.35mmのプリント配線基板から成り、インターシヤルバイアホール構造の配線回路が形成されている。配線基板140の底面には、配列ピッチ1mm、マトリクス13×21のBGAから成るI/Oピン141が接続されている。ピン数は非接続ピンを含めて273ピンである。配線基板140は、バイアホール125、131から成る層間接続(ピッチ0.3mm)と、これよりピッチが大きいI/Oピン141とを相互接続する役目を担っている。

【0049】エンカプスラント150はエポキシモールド材から成り、積層されたユニットと配線基板140の表面や側面を保護している。エンカプスラント150を含めたモジュール100のサイズは15×23mm²、モジュール100をボードに半田付けした時の高さは約2mmである。

【0050】第1実施例の三次元積層モジュール100の実装プロセスを以下に述べる。

【0051】(1) 予め配線パターンとバイアホール125が形成されたテープ状の配線フィルム120をリールトゥーリールの生産ラインにセットする。プローブテストに合格したチップ110は、ウエハからダイシングしておく。

【0052】(2) リールから順次送り出されて来るテープ状の配線フィルム120に、チップ110を接着材112によってフリップチップダイアタッチする。

【0053】(3) チップ110のパッド111に対応する位置に、配線フィルム120と接着剤112に対してレーザ穴開け加工を施す。

【0054】(4) 配線フィルム120の表面の上記の穴以外の部分をフィルムレジストで保護してから、上記の穴を埋め込むように銅めっきを行なう。こうして図2に示すようなバイアホール124が形成される。

【0055】(5) 配線パターン上に設けたテストパッドを利用してチップ110と配線フィルム120との導通テストを行なう。

【0056】(6) テープ状の配線フィルム120を切断する。チップ110が配線フィルム120に接続された層構成ユニットが出来上がる。必要ならば、ユニットのバーンインテスト等を実施する。

【0057】(7) 予めバイアホール131が形成された接着フィルム130を準備しておき、複数のユニットと複数の接着フィルム130と配線基板140を互いに積み重ねる。このとき、図3(A)に示すようにバイアホール125とバイアホール131が重なるようにガイドピンによってアライメントする。

【0058】(8) 積み重ねたユニットと複数の接着フィルム130と配線基板140を一括してプレスし、接着する。図3(B)に示すようにバイアホール125とバイアホール131が接続される。

【0059】(9) 配線フィルム120と接着フィルム130の余分な部分を切断し、それらの側面を揃える。こうして、小片のプレートのような積層体が出来上がる。

【0060】(10) 配線基板140のI/Oピン141に対応する部分を除いて、積層体をエンカプスラント150によりモールドする。

【0061】(11) 配線基板140にBGA(半田ボール)を載せてリフローし、I/Oピン141を形成する。

【0062】(12) モジュール100をBGAソケットに取り付け、バーンインテスト、外観検査等を実施する。以上のプロセスを経て、モジュール100が完成する。

【0063】本第1実施例によれば、三次元積層モジュール100を小型化し、その実装面積を低減できる効果がある。バイアホール125と131はそれぞれ薄い配線フィルム120(厚さ45 μ m)と薄い接着フィルム130(厚さ75 μ m)に形成されるので、それらの直径をフィルム厚さと同程度の80 μ mにまで小さくすることができ、配列ピッチを300 μ mに狭めることができる。さらに、バイアホール125と131は導体埋め込み構造を有しているもので、互いに直接積み重ねて接続できる。したがって、層間接続を高密度化し、層間接続領域の面積を削減できる。また、チップ110を配線フィルム120に接続するダイレクトバイアホール124は、配線フィルム120内部に形成されるので、余分な面積や厚さを必要としない。以上の結果として、モジュール実装面積は約350mm²に成り、チップ110の面積(約220mm²)に対する実装効率として64%という高い値が得られる。

【0064】モジュール100は薄型であるという特長も有している。薄く研磨したチップ110(厚さ50 μ m)と薄い配線フィルム120により層構成ユニットを構成しているもので、ユニット厚さは約120 μ mである。8層のユニットを配線基板140の上に積み重ねて

も、合計厚さはたったの約1.4mmにしかない。したがって、I/Oピン141の分を加えてモジュール高さは約2mmであり、薄型化が実現できる。

【0065】このように、モジュール100は小型且つ薄型であるにもかかわらず、272ピンという多数のI/Oピン141を取り出すことができる。微細なダイレクトバイアホール124によってチップ110を配線フィルム120に接続し、高密度な層間接続によって各層のチップ110と配線基板140を接続し、配線基板140の高密度な多層配線によってチップ110とI/Oピン141との相互接続を行なうことができるので、多ピン化に対応できる。配線基板140の底面全体をI/Oピン141の接続領域として利用できるので、バイアホール125と131の配列ピッチ(300 μ m)に比べてI/Oピン141のBGAのピッチ(1mm)が大きくても、十分な数のI/Oピン141が得られる。

【0066】モジュール100の実装プロセスは低コスト化が可能である。上述したように、配線フィルム120や接着フィルム130を左から右に(または右から左に)平面的に流しながら、層構成ユニットを積み重ねて加圧接着するという簡便な作業をこなせばよいので、自動化に適している。モジュール100に用いられる主要構成部品は、チップ110を除けば配線フィルム120と接着フィルム130である。部品点数が少ない上、これらは量産品として供給されるので、部品コストも抑えることができる。

【0067】配線フィルム120の絶縁層122と接着フィルム130の絶縁材として用いたポリイミドは、熱的に安定で、機械的に強靱であり、化学的な耐性に優れているので、モジュール100の構成材料に適している。また、ポリイミドは、電気的には低い誘電率(〜3)と高い破壊電圧を示す。配線フィルム120の導体層121、123とバイアホール125、131の主要導体として用いた銅は、通常の金属の中で最も高い電気伝導度(0.6 $\times 10^6$ /Ωcm)を有しており、低誘電率のポリイミドと共に信号伝送特性の向上に寄与している。銅粒子とエポキシ樹脂から成る導電性ペーストによって埋め込まれたバイアホール125、131の接続抵抗は数mΩ以下である。なお、銅は高い熱伝導度を有しているため、導体層121、123とバイアホール125、131は信号伝送路としてだけでなく、放熱路としても働く。モジュール100の総発熱量は約2.4Wであるが、チップ110の最大温度上昇を30℃以下に抑えることができる。

【0068】以上述べたように、本第1実施例の三次元積層モジュール100は小型、薄型、多ピン、低コストという特長を有している。大容量小型メモリモジュール(記憶容量256MB、実装面積15 \times 23mm²)として、プロセッサシステム用主記憶装置から携帯機器用メモ리카ードに至るまで適用範囲は広い。一般的なシス

テムではプロセッサチップや制御用チップと共に多数個のメモリチップを使用するため、メモリ部分の小型化と薄型化はシステム全体のダウンサイジングにとって非常に効果大きい。モジュールの多ピン化は、多ビット構成のメモリチップの採用を可能にし、データ転送スループットの向上に対して大いに貢献する。低コスト化は、量産品としての厳しい要求を満足するレベルにある。信頼性検査は必要に応じてフィルムキャリアとして実施できるので、積層によって歩留まりが下がることはない。

【0069】なお、本第1実施例の構成や材料、そして実装プロセスは、モジュールの要求性能や目標コストに応じて選択することができる。例えば、モジュールの積層数や外観、モジュールに搭載するチップの種類、配線層や層間接続の設計、I/Oピンの数や種類等々、仕様を適宜変更できることは言うまでもない。チップとして、DRAMに限らずSRAM (Static Random Access Memory) や、論理LSI、ゲートアレイ等、様々なチップが用いられ、用途に応じてこれらを組み合わせて積層することもある。チップ接続用ダイレクトバリアホールは、アディティブめっきやサブトラクティブめっきによる形成方法があり、めっきの代わりに導電性ペーストで埋め込むこともできる。既に述べたが、チップ接続としてバンプ、異方導電性ポリマ、TAB等を採用する場合もある。チップが搭載される配線フィルムには、低コスト材料としてポピュラーなエポキシフィルムやそのコンポジット材、その他にもビスマレイミドトリアジン、マレイミドスチリル、シアネートエステル等が用いられる。例えば、アラミドファブリックとエポキシ基材から成るコンポジットフィルムは低誘電率と低熱膨張係数を有しており、高速化と低熱応力化に適している。配線/接着フィルムに形成される層間接続用バリアホールとしては、銅ペーストの他、銀ペーストやめっき等を用いてもよい。接着フィルムに異方導電性ポリマフィルムを用いることによって簡便に層間接続を行なう場合もある。配線基板としては、層構成ユニットと同様の配線フィルムやセラミック基板が用いられることがあり、I/Oピン等の仕様によっては配線基板を設けないこともある。I/Oピンには、BGAの他にバンプ、PGA、LGA等が用いられるが、ピン数が少なくても良い場合にはリードフレームやTABを採用することも可能である。

【0070】次に、本発明による第2実施例について説明する。第2実施例では、第1実施例と概ね同様の実装構造によって、DRAMモジュールの代わりにSRAMモジュールを構成した例を示す。図4は第2実施例の三次元積層モジュールの全体断面構造図である。図4において、三次元積層モジュール200では、半導体チップ210と配線フィルム220から成る10層のユニットと、10枚の接着フィルム230と、1枚のダミーフィルム226が積層されており、エンカプスラント250

によって被覆されている。モジュール200の実装面積は $12 \times 17 \text{ mm}^2$ 、ボード実装時の高さは約 1.2 mm である。

【0071】チップ210は、第1実施例と同様に接着剤212によって配線フィルム220にフリップチップダイアタッチされ、I/Oパッド211がダイレクトバリアホール224によって配線フィルム220に接続されている。チップ210は $\times 18$ ビット構成の 4 Mbit SRAMから成り、モジュール200の総記憶容量は 4 MB である。チップサイズは約 $6 \times 12 \text{ mm}^2$ であり、厚さは $30 \mu\text{m}$ にまで薄くした。1個のチップ210の消費電力は約 2 W なので、モジュール200の総消費電力は約 20 W になる。I/Oパッド211の数は信号と電源含めて約100である。

【0072】層間接続は、配線フィルム220に形成されたバリアホール225と、接着フィルム230に形成されたバリアホール231によって行なわれている。配線フィルム220は導体層221、223と絶縁層223から成る。配線フィルム220と接着フィルム230、これらに形成されたバリアホール225、231等の基本仕様は第1実施例と同様である。但し、接着フィルム230の厚さは、チップ210の厚さに対応して $50 \mu\text{m}$ を選択した。ダミーフィルム226は最上層のユニットを保護するために有り、その材料とサイズは絶縁層223と同じである。

【0073】I/Oピン240は、第1実施例のような配線基板ではなく、最下層の配線フィルム220のバリアホール225に直接接続されている。このため、チップ210と配線フィルム220の上下の配置は第1実施例と逆様になっている。I/Oピン240は半田バンプから成り、バリアホール225、231と同じ 0.3 mm ピッチで二次元アレイ状に配列されている。I/Oピン240の総数は約420であり、非常に多い。

【0074】本第2実施例によれば、第1実施例とほぼ同様の構成で小型、薄型、多ピンのSRAMモジュール200を実現できる。モジュール200は、例えばマイクロプロセッサチップと共に二次キャッシュとして多層配線基板にフリップチップ実装され、プロセッサモジュールやプロセッサカードとして用いられる。モジュール200の高さが 1.2 mm という薄型化によって、バリアホール225、231から成る層間接続が短くなるので、抵抗と容量が低減され、第1実施例のDRAMモジュールに比べてさらに高速動作が可能になる。また、I/Oピン240をバリアホール225に直結したことにより、第1実施例に比べて小さい実装面積 (約 200 mm^2) から、400ピンを超えるI/Oピン240を取り出すことができる。したがって、高速化と多ピン化が達成されるので、プロセッサと二次キャッシュの間で非常に高いスループットのデータ転送を行なうことが可能になり、プロセッサの高性能化を実現できる。

【0075】なお、I/Oピン240の配列ピッチが第1実施例のような標準的なBGAに比べて小さくなっているが、プロセッサモジュールやプロセッサカードの多層配線基板では比較的任意にピッチを決められるので支障はない。モジュール200の総発熱量は第1実施例に比べてかなり増加しているが、プロセッサチップとともに強制冷却が行なわれるので問題はない。チップ210の最大温度上昇は50℃以下に抑制することができる。

【0076】本発明による第3実施例では、第1実施例や第2実施例のダイレクトバイアホールによるチップ接続の代わりに、バンプ、ワイア、または異方導電性ポリマによってチップ接続を行ない、三次元積層モジュール一つでプロセッサモジュールを構成した例を示す。図5は第3実施例の三次元積層モジュールの全体断面構造図である。図5において、モジュール300のユニットは、1組の半導体チップ310と配線フィルム350、1組のチップ320と配線フィルム360、4組のチップ330と配線フィルム370、1組のチップ340と配線フィルム380から構成されている。これらのユニットと配線基板390は、1枚の接着フィルム460、4枚の接着フィルム470、1枚の接着フィルム480、1枚の接着フィルム490によって互いに積層され、エンカプスラント392により被覆されている。

【0077】チップ310は約9mm角のマイクロプロセッサチップから成り、銅導体層4層のポリイミド配線フィルム350にフリップチップボンディングされている。I/Oパッド311は、金バンプ312と導電性樹脂によって配線フィルム350に接続される。配線フィルム350には埋込み型スルーホール351が形成されており、その表面にはチップ310の周辺にバイパスコンデンサ410が搭載されている。チップ310と配線フィルム350の間は樹脂313によって封止されている。ユニットの厚さは約180μmである。

【0078】チップ320は約11mm角のメモリ/バスコントローラチップから成り、I/Oパッド321がワイア322によって4層のポリイミド配線フィルム360にボンディングされている。配線フィルム360には埋込み型スルーホール361が形成されている。チップ320の表面は樹脂323によって封止されている。ユニットの厚さは約200μmである。

【0079】チップ330は約8×17mm²のDRAMチップから成り、2層のポリイミド配線フィルム370にフリップチップボンディングされている。I/Oパッド331は、金バンプ332と導電性樹脂によって配線フィルム370に接続される。配線フィルム370には埋込み型バイアホール371が形成されている。チップ330と配線フィルム370の間は樹脂333によって封止されている。ユニットの厚さは約150μmである。

【0080】チップ340は約6×15mm²のROM

(Read Only Memory) チップから成り、2層のポリイミド配線フィルム380にフリップチップボンディングされている。I/Oパッド341は、異方導電性ポリマフィルム342によって配線フィルム380に接続され、封止されている。配線フィルム380には埋込み型バイアホール381が形成されている。ユニットの厚さは約120μmである。

【0081】接着フィルム460、470、480、490は、それぞれ厚さ125μm、100μm、75μm、50μmのポリイミド接着フィルムから成り、それぞれに層間接続用の埋込み型バイアホール461、471、481、491が形成されている。これらの直径はフィルムの厚さを考慮して150μmにし、配列ピッチを600μmにした。層間接続用のスルーホール351、361、バイアホール371、381の直径とピッチも同じである。なお、配線フィルム350、360、370、380の配線ピッチは、上記直径とピッチを鑑みて120μmにした。

【0082】配線基板390は、サイズ30×30×0.5mm³の4層のセラミック配線基板から成る。その底面に接続されたI/Oピン391は100mil面心配列のショートピンPGAから成り、その総数は非接続ピンを含めて265である。配線基板390から上の部分はエンカプスラント392が塗布されている。モジュール300の実装面積は30×30mm²、配線基板390の下面からエンカプスラント392の上面までの高さは（バイパスコンデンサ410を含めて）、約2mmである。

【0083】本第3実施例によれば、小型、薄型、多ピンのプロセッサモジュール300を実現できる。モジュール300は、例えばパーソナルな携帯機器やファクトリーオートメーション機器等に組み込まれて使用される。マイクロプロセッサ310、メモリ/バスコントローラ320、メモリ330、340が3cm角の面積と2mmの厚さに集積されるので、上記のような機器の小型、薄型化にとって貢献する所が大きい。もちろん、必要に応じて他のチップ、例えばグラフィックスメモリやそのコントローラ等も積層することができる。

【0084】第3実施例では、ダイレクトバイアホール接続に抛らなくても、ワイアボンディング322や、バンプ312、332または異方導電性ポリマ342によるフリップチップボンディングによって、既存のチップをそのままコンパクトに積層することができる。ワイアまたはバンプによるチップ接続ではユニットが第1実施例や第2実施例に比べて厚くなるので、バイアホール371、381、461、471、481、491とスルーホール351、361の配列ピッチが広がっているが、それでも層間接続は本発明によらない従来方式に比べて十分高密度である。この層間接続により、マイクロプロセッサ310とメモリ/バスコントローラ320の

間、メモリ／バスコントローラ 3 2 0 と DRAM 3 3 0 /ROM 3 4 0 の間、メモリ／バスコントローラ 3 2 0 と外部 (I / O ピン 3 9 1) の間の多数の相互接続を行なうことができる。

【 0 0 8 5 】第 3 実施例では I / O ピン 3 9 1 に PGA を採用し、その配列ピッチが第 1 実施例や第 2 実施例に比べて広がっているが、これは例えばモジュール 3 0 0 をグレードアップのためにユーザが交換する場合を想定したからである。なお、第 3 実施例ではモジュール 3 0 0 の上面から熱が逃げるように、発熱量の大きいチップ 3 1 0、3 2 0 が上層に配置されており、比較的低電力動作を行なわせる場合には自然空冷で十分である。高周波数で消費電力が上がる場合には、例えばモジュール 3 0 0 の上面に放熱フィンを接触させる等の方法により冷却できる。生産性と信頼性に関しては、各々のチップについてバーンイン試験等が必要ならば、各ユニット毎にフィルムキャリアとして検査を実施すればよい。したがって、積層した時の歩留まりと信頼性を確保できる。

【 0 0 8 6 】最後に、第 4 実施例ではチップ接続として TAB を用いて DRAM モジュールを構成した例を示す。図 6 は第 4 実施例の三次元積層モジュールの全体断面構造図である。図 6 のモジュール 5 0 0 では、半導体チップ 5 1 0 と配線フィルム 5 2 0 から成る 8 層のユニットと 7 枚の接着フィルム 5 3 0 が積層されている。

【 0 0 8 7 】チップ 5 1 0 は約 $7 \times 15 \text{ mm}^2$ の DRAM チップから成る。第 1 実施例でダイレクトバイアホール接続を行なったチップと異なり、チップ 5 1 0 の四辺に I / O パッド 5 1 1 が配置されている。配線フィルム 5 2 0 は 17 mm 角、導体層 2 層のポリイミド配線フィルムから成り、配線フィルム 5 2 0 に設けられたインナリード 5 2 4 の金バンプ 5 2 5 が I / O パッド 5 1 1 に接続されている。チップ 5 1 0 の表面とインナリード 5 2 4 の周囲はエンカプスラント 5 1 2 によって封止されており、エンカプスラント 5 1 2 を含めたユニットの厚さは約 $200 \mu\text{m}$ である。配線フィルム 5 2 0 とポリイミド接着フィルム 5 3 0 にはそれぞれ層間接続用のバイアホール 5 2 6 と 5 3 1 が形成されており、最下層のバイアホール 5 4 0 には半田バンプから成る I / O ピン 5 4 0 が接続されている。バイアホール 5 2 6、5 3 1 と I / O ピン 5 4 0 の配列ピッチは 0.8 mm であり、総ピン数は約 120 である。モジュール 5 0 0 の実装面積は配線フィルム 5 2 0 のサイズに等しく、実装時の高さは約 2 mm である。

【 0 0 8 8 】本第 4 実施例によれば、従来の TAB 接続技術と本発明による層間接続を組み合わせることで、手軽に三次元積層モジュール 5 0 0 を実現できる。第 1 実施例や第 2 実施例等と比べるとピン数が少ないものの、TAB 接続用に設計された既存のチップ 5 1 0 をそのまま流用し、小型且つ薄型のモジュール 5 0 0 として提供できる。主要部品はチップ 5 1 0 と配線フィルム

5 2 0 と接着フィルム 5 3 0 しか無いので、コストが低く抑えられている。

【 0 0 8 9 】以上、本発明による三次元積層モジュールを図面とともに説明した。本発明の要件は配線／接着フィルムに形成されたバイア／スルーホールによって高密度な層間接続を実施したことにより、これがモジュールの小型化、薄型化、多ピン化、さらには低コスト化、高速化等の効果を生ぜしめる。本発明はハイエンドシステムから民生品に至るまで広範な分野に適用されるので、半導体チップやモジュールの仕様に依じて変更される。上記実施例中に説明した使用材料や実装プロセス等だけが本発明の適用形態でないことは自明であろう。

【 0 0 9 0 】

【発明の効果】上記〈1〉～〈8〉の構成によれば、それぞれ以下の《1》～《8》の効果がある。

【 0 0 9 1 】《1》チップを接続した配線フィルムから成る層構成ユニットと接着フィルムとを積層したフィルム接続型積層構造において、配線／接着フィルム各々に形成したバイア／スルーホールにより高密度な層間接続を行なえるので、小型、薄型、多ピン、低コストという長所を兼ね備えた三次元積層モジュールが得られる。

【 0 0 9 2 】従来の側面めっき配線型のめっき配線に比べて、本発明は配線フィルムを多層化でき、配線／接着フィルムに形成したバイア／スルーホールを狭ピッチ化できるので、層間接続と I / O ピンの数を増大できる。また、側面へのめっき配線プロセスと異なり、本発明のフィルム接続プロセスは量産に適したプレーナなプロセスであるので、プロセスコストを削減できる。

【 0 0 9 3 】従来の側面薄膜配線型のチップを基板に垂直に立てて実装する方式に比べて、本発明は薄いチップと薄い配線／接着フィルムを平行に積み重ねるので、モジュールの高さを低減できる。側面薄膜配線型で I / O ピンとして用いられる PGA に比べて、本発明では配列ピッチの狭い BGA を用いることができるので、ピン領域を削減でき、或いはピン数を増大できる。また、側面へ高価な薄膜配線を形成するプロセスに比べて、本発明では配線フィルムと接着フィルムを積層プレスする簡単なプロセスにより層間接続が行なわれるので、プロセスコストを削減できる。

【 0 0 9 4 】従来の額縁基板接続型の厚い額縁基板に形成されたスルーホールに比べて、本発明は薄い配線／接着フィルムにバイア／スルーホールを高密度に形成できるので、層間接続領域の面積を削減できる。しかも、額縁基板接続型の TAB アウタリードに対する面積が本発明では不要になるので、さらにモジュール実装面積が小さくなる。額縁基板の下面だけから取り出される I / O ピンに比べて、本発明は I / O ピンを配線フィルム全面から取り出せるので、多ピン化できる。また、TAB テープ、インタポーザ基板、額縁基板という多数の部品から構成される額縁基板接続型に比べて、本発明の構成部

品は配線フィルムと接着フィルムしか無いので、部品コストを削減できる。

【0095】《2》配線／接着フィルムの絶縁材料としてエポキシ、ポリイミド、アラミドを用い、配線／層間接続の導体材料として銅を用いる。これにより、薄いフィルムを製作できるので、モジュールを薄型化できる。また、配線パターンを微細化でき、パイア／スルーホールを小径化できるので、層間接続を高密度に形成できる。さらに、誘電率と配線／接続抵抗を低減できるので、チップから I/Oピンに至る相互接続において高速信号伝送を行なえる。

【0096】《3》導電性ペーストを充填したパイア／スルーホールによりインターシヤルパイア接続やスタクトパイア接続が可能になるので、層間接続を高密度化でき、モジュール実装面積を削減できる。または、異方導電性ポリマから成る接着フィルムを用いることにより、接着フィルムへの穴開けやパターンングを省略でき、積層時のアライメントが不要になるので、部品／プロセスコストが低減できる。

【0097】《4》めっき金属または導電性ペーストから成るフィロドパイア接続構造により上記と同様に層間接続を高密度化できるので、実装面積が削減できる上、配線／接続のルーティングの制限が減り、設計自由度が増える。

【0098】《5》チップ接続方式として、フリップチップダイアタッチしたチップと配線フィルムをダイレクトパイア／スルーホールによって接続する。ダイレクトパイア／スルーホールはチップの全表面から多数取り出すことができるので、チップとモジュールの多ピン化に貢献できる。また、ダイレクトパイア／スルーホールは層間接続用パイア／スルーホールと同様に配線フィルムの内部に簡便に形成できるので、バンプのような高さや TAB のようなリード領域を必要とせず、モジュール実装面積を削減できる。

【0099】《6》バンプ、ワイア、または異方導電性ポリマを用いたチップ接続により、ワイアボンディング、バンプ、TAB等を想定して製造された既存チップも三次元積層モジュールとして実装できる。特に LSI パッケージ等のためにバンプやワイアの生産ラインが稼働している場合には、ダイレクトパイア／スルーホールより低コスト化が図れる。異方導電性ポリマは、ダイレクトパイア／スルーホールやバンプのように接続部の加工を行なう必要が無く、接続プロセスは簡便な接着だけで良いので、部品とプロセスのコストを低減できる。

【0100】《7》配線フィルム自体に設けたインナリードをチップに TAB 接続することにより、従来の額縁基板接続型に比べて部品点数を削減した上、配線／接着フィルムのパイア／スルーホールによって高密度な層間接続を行なえる。本発明はチップの入出力数が比較的少なく、動作周波数が比較的低い場合に適用できるので、

LSI パッケージ等の既存の生産ラインを流用することによりダイレクトパイア／スルーホールやバンプに比べてコストを低減できる。

【0101】《8》配線基板を配線／接着フィルムと同様にして最外層に積層する。最外層に配線フィルムを用いたモジュールに比べると、配線基板は配線収容量が大きいので、さらに多数の I/Oピンを取り出せる。また、配線基板の層数、配線ピッチ、誘電率、熱膨張係数、剛性、耐熱性、吸湿性、材料コスト等の特性に応じて、積層モジュールの性能、コスト、及び信頼性を向上できる。

【図面の簡単な説明】

【図1】本発明による第1実施例の三次元積層モジュールの全体断面構造図。

【図2】本発明による第1実施例の三次元積層モジュールの部分断面構造図。

【図3】本発明による第1実施例の三次元積層モジュールの部分断面構造図。

【図4】本発明による第2実施例の三次元積層モジュールの全体断面構造図。

【図5】本発明による第3実施例の三次元積層モジュールの全体断面構造図。

【図6】本発明による第4実施例の三次元積層モジュールの全体断面構造図。

【図7】従来技術による三次元積層モジュールの全体断面構造図。

【図8】従来技術による三次元積層モジュールの全体断面構造図。

【図9】従来技術による三次元積層モジュールの全体断面構造図。

【符号の説明】

100、200、300、500…三次元積層モジュール

110、210、310、320、330、340、510…半導体チップ

111、211、311、321、331、341、511…I/Oパッド

120、220、350、360、370、380…配線フィルム

130、230、460、470、480、490…接着フィルム

125、131、225、231、371、381、461、471、481、491…パイアホール

351、361…スルーホール

124、224…ダイレクトパイアホール

312、332…バンプ

322…ワイア

342…異方導電性ポリマ

524…インナリード

140、390…配線基板

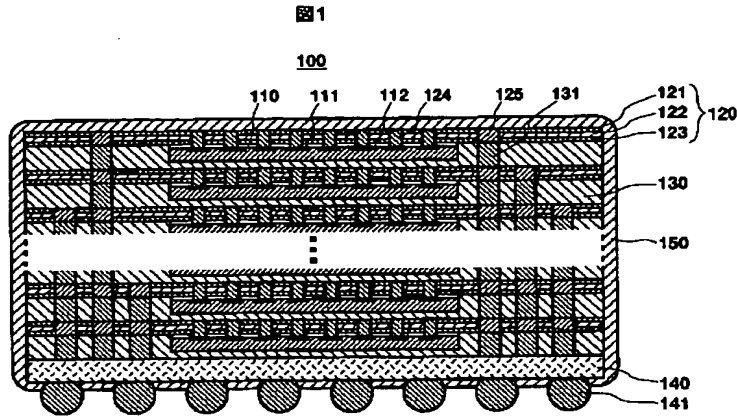
23

24

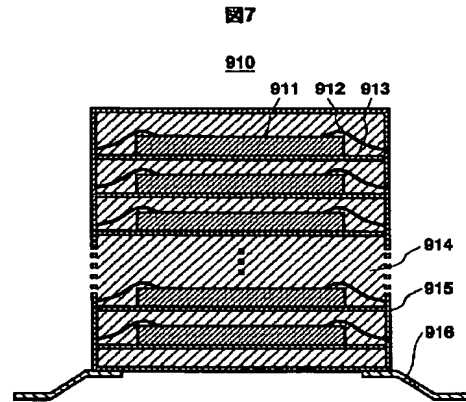
141、240、391、540… I/Oピン

150、250、392、512…エンカプスラント。

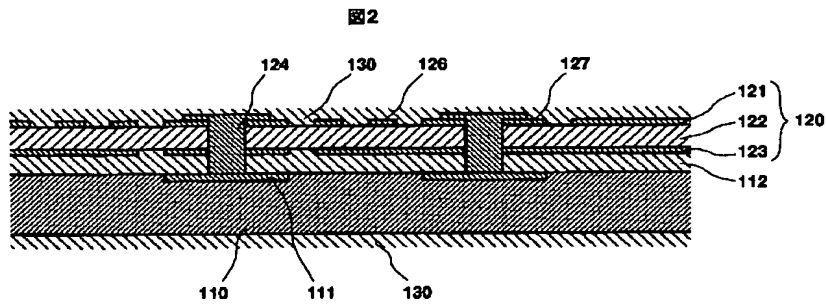
【図 1】



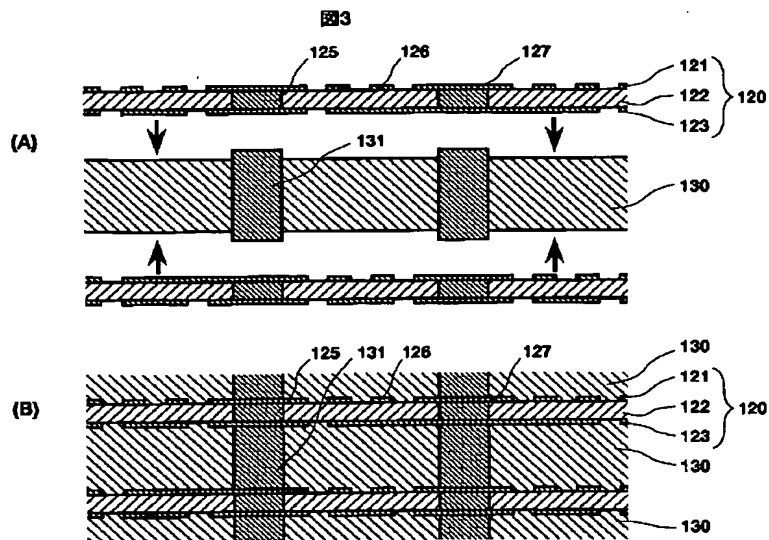
【図 7】



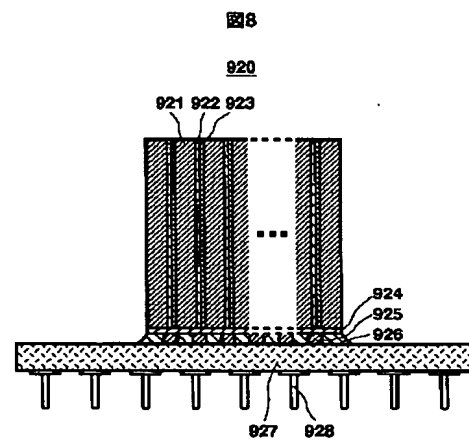
【図 2】



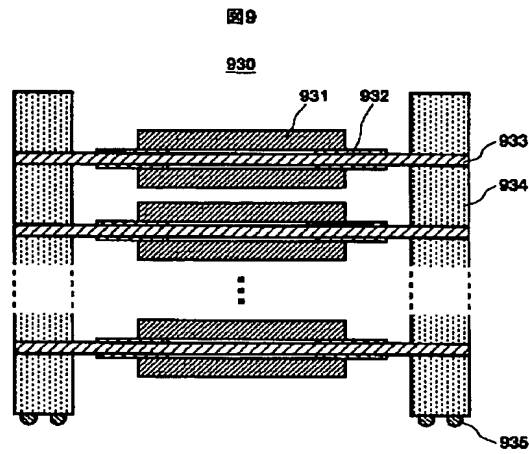
【図 3】



【図 8】



【図 9】



フロントページの続き

(72)発明者 板橋 武之
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内
(72)発明者 吉村 豊房
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 高橋 昭雄
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内
(72)発明者 山本 雅一
神奈川県秦野市堀山下1番地 株式会社日
立製作所汎用コンピュータ事業部内

Best Available Copy